

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Fujio ISHIHARA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: PHASE DETECTOR, CLOCK DISTRIBUTION CIRCUIT, AND LSI

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2003-380317

MONTH/DAY/YEAR

November 10, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. _____ filed _____

☐ were submitted to the International Bureau in PCT Application Number _____

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

James D. Hamilton
Registration No. 28,421

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年11月10日
Date of Application:

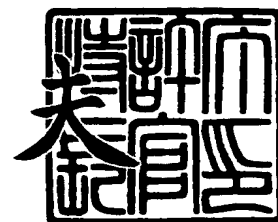
出願番号 特願2003-380317
Application Number:
[ST. 10/C]: [JP 2003-380317]

出願人 株式会社東芝
Applicant(s):

2003年12月 9日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願
【整理番号】 ASB033097
【提出日】 平成15年11月10日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 1/04
H03K 5/13
H04L 7/00
H03K 19/00

【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ
エレクトロニクスセンター内
【氏名】 石原 不二夫

【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝

【代理人】
【識別番号】 100083806
【弁理士】
【氏名又は名称】 三好 秀和
【電話番号】 03-3504-3075

【選任した代理人】
【識別番号】 100068342
【弁理士】
【氏名又は名称】 三好 保男

【選任した代理人】
【識別番号】 100100712
【弁理士】
【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】
【識別番号】 100100929
【弁理士】
【氏名又は名称】 川又 澄雄

【選任した代理人】
【識別番号】 100108707
【弁理士】
【氏名又は名称】 中村 友之

【選任した代理人】
【識別番号】 100095500
【弁理士】
【氏名又は名称】 伊藤 正和

【選任した代理人】
【識別番号】 100101247
【弁理士】
【氏名又は名称】 高橋 俊一

【選任した代理人】
【識別番号】 100098327
【弁理士】
【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【書類名】特許請求の範囲

【請求項 1】

複数のクロックが入力され、前記複数のクロックのうち何れかを順次選択し、選択されたクロックを第 1 クロックとして出力する第 1 選択回路と、

前記第 1 クロックと、前記第 1 クロックと異なる第 2 クロックが入力され、前記第 1 クロックと前記第 2 クロックの位相差を検出し、前記位相差を検出信号として出力する位相差比較回路

とを備えることを特徴とする位相差検出回路。

【請求項 2】

前記複数のクロックのうち少なくとも 1 つのクロックが異なる他の複数のクロックが入力され、前記他の複数のクロックのうち何れかを順次選択し、選択されたクロックを前記第 2 クロックとして前記位相差比較回路へ出力する第 2 選択回路を更に備えることを特徴とする請求項 1 に記載の位相差検出回路。

【請求項 3】

前記検出信号が入力され、クロックの立ち上がりエッジ及び立ち下がりエッジの何れかが入力されたときに、前記検出信号を保持する第 1 ラッチと、

前記第 1 ラッチに入力されるクロックと逆相のクロックが入力されたときに、前記検出信号を保持する第 2 ラッチ

とを更に備えることを特徴とする請求項 1 又は 2 に記載の位相差検出回路。

【請求項 4】

前記第 1 クロックと前記第 2 クロックが、共にクロックの立ち上がりエッジ及び立ち下がりエッジの何れかであるときに、第 3 クロックを導通する AND ゲートと、

前記第 3 クロックの周波数を $1/2$ に分周し、分周された第 4 クロックを前記選択回路へ出力する第 3 フリップフロップ

とを更に備えることを特徴とする請求項 1 ～ 3 の何れかの請求項に記載の位相差検出回路。

【請求項 5】

前記第 4 クロックの周波数を $1/2$ に分周し、分周された第 5 クロックを前記選択回路へ出力する第 4 フリップフロップを更に備えることを特徴とする請求項 4 に記載の位相差検出回路。

【請求項 6】

論理素子へクロックを供給する複数のクロックバッファと、

前記複数のクロックバッファから複数のクロックが入力され、前記複数のクロックのうちの何れかを順次選択し、選択されたクロックを第 1 クロックとして出力する第 1 選択回路と、

前記第 1 選択回路が選択した第 1 クロックと、前記第 1 クロックと異なる第 2 クロックが等しい遅延時間で入力され、前記第 1 クロックと前記第 2 クロックの位相差を検出し、前記位相差を検出信号として出力する位相差比較回路

とを備えることを特徴とするクロック分配回路。

【請求項 7】

前記検出信号が入力され、前記検出信号から前記クロックバッファのクロック遅延量を算出し、前記クロックバッファのクロック遅延量を調整する調整信号を出力するスキュー補償回路を更に備えることを特徴とする請求項 6 に記載のクロック分配回路。

【書類名】 明細書

【発明の名称】 クロック位相差検出回路、クロック分配回路、及び大規模集積回路

【技術分野】

【0001】

本発明は、クロックスキューを調整するクロック位相差検出回路、クロック分配回路、及び大規模集積回路に関する。

【背景技術】

【0002】

高周波帯（特に 1 GHz 以上）で動作する大規模集積回路（LSI）を設計する場合、デジタル同期回路において、クロックサイクルタイム内に占めるクロック位相差（以下、「スキュー」という）を極力小さく抑えることがきわめて重要である。なぜなら、スキューが大きすぎると、セットアップ違反及びホールド違反が起こり、デジタル同期回路が正常に動作しない場合があるからである。ここで、セットアップ違反とは、フリップフロップ（F/F）へのデータの到達時刻が、クロック信号の到達時間より遅過ぎるために、正しいデータが F/F に取り込まれないことをいう。一方、ホールド違反とは、F/F へのデータの到達時刻が、クロック信号の到達時間より早過ぎるために、誤ったデータが F/F に取り込まれることをいう。

【0003】

LSI チップ面内に広く分布している多数の F/F を、小さいスキューで駆動できるクロックを分配するために、図 8 に示すような階層的なクロックバッファツリー構造が用いられている。即ち、図 8 では省略している F/F を複数の領域（ドメイン）に分け、各ドメインに配置される F/F を 1 つのドメインクロックバッファ 1 a ～ 1 h へ等遅延の配線で接続する。また、ドメインクロックバッファ 1 a ～ 1 h を、ドメインクロックバッファ 1 a, 1 b, 1 e, 1 f とドメインクロックバッファ 1 c, 1 d, 1 g, 1 h の複数のグループに分け、各グループに属するドメインクロックバッファを 1 つのクロックバッファ 2 a, 2 d へ等遅延の配線で接続する。そして、2 a 及び 2 d と同階層のクロックバッファ 2 a, 2 b, 2 c, 2 d をグループ化し、クロックバッファ 3 a, 3 b へ等遅延の配線で接続する。更に、クロックバッファ 3 a 及び 3 b をクロックバッファ 4 a へ等遅延の配線で接続する。このように、F/F からクロックソースまで、ボトムアップに等遅延の配線で接続される構造が、クロックバッファツリー構造である。

【0004】

クロックバッファツリーは、設計段階での手法である。しかし、設計後の製造時において、各ドメイン間でスキューが生じる場合がある。なぜなら、LSI チップ内の F/F 分布は一様でないことが多く、ドメインごとにスキューを発生する場合があるからである。また、LSI チップ内で起こるプロセスのばらつきによって、バッファ性能やクロック配線構造がドメインごとに变化して、スキューが増加する場合もある。製造後に、ドメイン間のスキューを低減するために、各ドメインにクロック信号の位相差を検出する回路（位相差検出回路）を設け、回路の出力信号を用いて各ドメインに配置された F/F を駆動するドメインクロックバッファの遅延を調整する手法が、近年用いられている（例えば、特許文献 1 参照）。

【特許文献 1】 米国特許第 6 1 1 4 8 9 0 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0005】

図 9 に示すように、位相差検出回路は、隣接する 2 つのドメインにおける位相差を検出するために、位相差検出回路 PD 1 ～ 2 4 は、LSI チップ 5 内のドメイン A ～ P の境界上に設けられる。即ち、位相差検出回路 PD 1 ～ 2 4 は、2 つのクロックのみを比較し、位相差を検出する。例えば、位相差検出回路 PD 3 は、クロック CK-B と CK-F のみの位相差を検出する。この場合、隣接する 2 つのドメインの各組ごとに、位相差検出回路が設けられるため、位相差検出回路の数が、LSI 全体では多数となり、LSI チップ 5 の

設計時のフロアプラン及び配置配線作業が困難になる。また、位相差検出回路及びその周辺に導入されるデッドゾーンが増え、LSIチップ全体の面積が増加する。

【0006】

特に、1GHz以上の高周波数で動作するLSIにおいて、位相差検出回路を設けスキューを低減することは重要である。スキュー低減の精度を増すためには、F/Fを多くのドメインに細分化し、多くの位相差検出回路を設ける必要がある。また、半導体集積回路の集積度が高くなればなるほど、ドメインの数が多くなり、多くの位相差検出回路を設ける必要がある。

【課題を解決するための手段】

【0007】

本発明の第1の特徴は、複数のクロックが入力され、複数のクロックのうち何れかを順次選択し、選択されたクロックを第1クロックとして出力する第1選択回路と、第1クロックと、第1クロックと異なる第2クロックが入力され、第1クロックと第2クロックの位相差を検出し、位相差を検出信号として出力する位相差比較回路とを備える位相差検出回路であることを要旨とする。

【0008】

本発明の第2の特徴は、論理素子へクロックを供給する複数のクロックバッファと、複数のクロックバッファから複数のクロックが入力され、複数のクロックのうちの何れかを順次選択し、選択されたクロックを第1クロックとして出力する第1選択回路と、第1選択回路が選択した第1クロックと、第1クロックと異なる第2クロックが入力され、第1クロックと第2クロックの位相差を検出し、位相差を検出信号として出力する位相差比較回路と、検出信号が入力され、検出信号からクロックバッファのクロック遅延量を算出し、クロックバッファのクロック遅延量を調整する調整信号を出力するスキュー補償回路とを備えるクロック分配回路であることを要旨とする。

【0009】

本発明の第3の特徴は、第1領域に配置された論理素子へクロックを供給する第1クロックバッファと、第1領域に隣接する第2領域に配置された論理素子へクロックを供給する第2クロックバッファと、第1及び第2領域に隣接する第3領域に配置された論理素子へクロックを供給する第3クロックバッファと、第1及び第2クロックバッファが供給するクロックが入力され、入力されたクロックのうち何れかを順次選択し、選択されたクロックを第1クロックとして出力する第1選択回路と、第1選択回路が選択した第1クロックと、第3クロックバッファが供給するクロックが第2クロックとして入力され、第1クロックと第2クロックの位相差を検出し、位相差を検出信号として出力する位相差比較回路と、検出信号が入力され、検出信号からクロックバッファのクロック遅延量を算出し、クロックバッファのクロック遅延量を調整する調整信号を出力するスキュー補償回路とを備える大規模集積回路であることを要旨とする。

【0010】

〔発明の目的〕

上記課題に鑑み、本発明に係るクロック位相差検出回路、クロック分配回路、及び大規模集積回路の目的は、位相差検出回路の数及び位相差検出回路を接続する配線の数減少させることである。

【発明の効果】

【0011】

本発明に係るクロック位相差検出回路、クロック分配回路、及び大規模集積回路の特徴によれば、位相差検出回路の数及び位相差検出回路を接続する配線の数減少させることにより、フロアプラン及び配置配線作業が容易になる。また、位相差検出回路及びその周辺に導入されるデッドゾーンが減少し、LSIチップ全体の面積が減少する。

【発明を実施するための最良の形態】

【0012】

（第1の実施の形態）

(クロック位相差検出回路の構成)

図1に示すように、本発明の第1の実施の形態に係るクロック位相差検出回路PD101は、マルチプレクサ15、位相差比較回路11、マルチプレクサ12、 $F/F1$ 、 $F/F2$ 、 $F/F3$ 、ANDゲート13、バッファ14を備える。ドメインクロックバッファ1bとドメインクロックバッファ1gからマルチプレクサ15へ、クロックCK-B及びCK-Gが入力される。マルチプレクサ15は、 $F/F3$ が出力するクロックCK2に従い、クロックCK2が1のときは、クロックCK-Gを導通し、クロックCK2が0のときは、CK-Bを導通する。マルチプレクサ15は、選択した信号を位相差比較回路11へ出力する。位相差比較回路11へ、ドメインクロックバッファ1fからクロックCK-Fが入力される。位相差比較回路11は、マルチプレクサ15から入力されたクロックCK-B及びクロックCK-Gの何れかとクロックCK-Fの位相差を検出し、位相差比較結果を検出信号SCNとしてマルチプレクサ12へ出力する。他の位相差検出回路により出力された検出信号SCNも、配線17を介してマルチプレクサ12へ入力される。マルチプレクサ12は、イネーブル信号ENBに従い、イネーブル信号ENBが1のときは、位相差比較回路11の検出信号SCNを導通し、イネーブル信号ENBが0のときは、他の位相差検出回路により出力された検出信号SCNを導通する。マルチプレクサ12は、選択した信号を $F/F1$ へ出力する。ANDゲート13へ、マルチプレクサ15が選択したクロックCK-B及びクロックCK-Gの何れかとクロックCK-Fが入力され、クロックCK-B及びクロックCK-Gの何れかとクロックCK-Fが共に1の場合に、 $F/F3$ 及びバッファ14へクロックCK1を出力する。 $F/F3$ は、スキュー補償回路7から入力されたイネーブル信号ENBが1のときに、ANDゲートから入力されたクロックCK1の周波数を1/2に分周する。 $F/F3$ は、分周されたクロックCK2をマルチプレクサ15へ、出力する。バッファ14は、クロックCK1をバッファリングして、 $F/F1$ 及び $F/F2$ のマスターラッチM及びスレーブラッチSへ出力する。 $F/F1$ 及び $F/F2$ は、入力された検出信号SCNを保持し、配線16を介してスキュー補償回路7へ、検出信号SCNを出力する。

【0013】

次に、図2(a)～(f)のタイミングチャートにより、位相差検出回路PD101の動作を示す。図2(a)に示すように、ドメインクロックバッファ1fから位相差比較回路11へ、クロックCK-Fが入力される。図2(b)に示すように、ドメインクロックバッファ1bからマルチプレクサ15へ、CK-Bが入力される。このとき、クロックCK-FとクロックCK-Bの間には、スキューF-Bがある。図2(c)に示すように、ドメインクロックバッファ1gからマルチプレクサ15へ、CK-Gが入力される。このとき、クロックCK-FとクロックCK-Gの間には、スキューF-Gがある。マルチプレクサ15は、クロックCK-B及びクロックCK-Gのうち選択したクロックを位相差比較回路11へ出力する。位相差比較回路11は、スキューF-B及びスキューF-Gを、検出信号SCNとしてマルチプレクサ12へ出力する。図2(f)に示すように、スキュー補償回路7からマルチプレクサ12及び $F/F3$ へ、イネーブル信号ENBが入力される。マルチプレクサ12は、イネーブル信号ENBが1のとき(区間T1)は、位相差比較回路11の検出信号SCNを導通し、イネーブル信号ENBが0(区間T2)のときは、他の位相差検出回路により出力された検出信号SCNを導通する。図2(d)に示すように、ANDゲート13は、マルチプレクサ15により選択されたクロックCK-B及びクロックCK-Gの何れかとクロックCK-Fが共に1の場合に、 $F/F3$ へ、そしてバッファ14を介して $F/F1$ へクロックCK1を出力する。図2(e)に示すように、 $F/F3$ は、図2(f)に示すイネーブル信号ENBが1のとき(区間T1)に、ANDゲートから入力されたクロックCK1の周波数を1/2に分周する。即ち、クロックCK1が立ち上がる時刻t1のときに、クロックCK2が立ち上がり、クロックCK1が次に立ち上がる時刻t3のときに、クロックCK2が立ち下がる。イネーブル信号ENBが0のとき(区間T2)には、クロックCK2は0となる。 $F/F3$ は、分周されたクロックCK2をマルチプレクサ15へ、出力する。マルチプレクサ15は、クロックCK2が1

のとき（時刻 $t_1 \sim t_3$ ）は、クロック $CK-G$ を選択し、クロック CK_2 が 0 のときは、 $CK-B$ を選択する。従って、位相差比較回路 11 は、クロック CK_2 が 1 のときは、スキュー $F-G$ を F/F_1 へ出力し、クロック CK_2 が 0 のときは、スキュー $F-B$ を F/F_1 へ出力する。 F/F_1 は、時刻 t_1 における CK_1 の立ち上がりエッジで、スキュー $F-G$ の検出信号 SCN を取り込み、 F/F_2 へ出力信号 SCN を出力する。また、 F/F_1 は、時刻 t_2 における立ち上がりエッジで、スキュー $F-B$ の検出信号 SCN を取り込み、 F/F_2 へ検出信号 SCN を出力する。 F/F_2 は、クロック CK_1 の立ち上がりと同期して、 F/F_1 から検出信号 SCN を取り込み、スキュー補償回路 7 へ検出信号 SCN を出力する。

【0014】

本発明の第 1 の実施の形態に係るクロック位相差検出回路によれば、1 つの位相差検出回路で複数のクロック CK の位相差を検出するため、 LSI に配置される位相差検出回路の数が削減できる。その結果、 LSI チップの設計時のフロアプラン及び配置配線作業が容易になる。また、位相差検出回路を鎖状にスキュー補償回路へ接続する配線が短くなり、スキュー補償回路から位相差検出回路へイネーブル信号を供給する配線の数も少なくなるため、配線リソースへの負担も軽減される。その結果、 LSI チップ全体の面積の増加が防止され、 LSI の高集積化が図られる。ドメインの数が多くなり、多くの位相差検出回路を設ける必要がある場合に、特に上述した効果がある。

【0015】

（クロック分配回路の構成）

図 1 に示すように、本発明の第 1 の実施の形態に係るクロック分配回路は、ドメインクロックバッファ 1a~1h、位相差検出回路 PD101、PD102・・・、スキュー補償回路 7、及びクロックソースを備える。ドメインクロックバッファ 1b, 1f, 1g から位相差検出回路 PD101 へ、クロック $CK-B$, $CK-F$, $CK-G$ が入力される。同様に、ドメインクロックバッファ 1c, 1g, 1h から位相差検出回路 PD102 へ、クロック $CK-C$, $CK-G$, $CK-H$ が入力される。このように、3 つのドメインクロックバッファから 1 つの位相差検出回路へ、それぞれクロック CK が入力される。スキュー補償回路 7 から位相差検出回路 PD101 へ、イネーブル信号 ENB が入力される。図を省略しているが、同様にスキュー補償回路 7 から位相差検出回路 PD102・・・へ、イネーブル信号 ENB が入力される。位相差検出回路 PD101 と PD102 は、配線 17 で接続されている。位相差検出回路 PD101 は、スキュー補償回路 7 へ配線 16 で接続されている。このように、位相差検出回路 PD101、PD102・・・は、鎖状にスキュー補償回路 7 へ接続されている。位相差検出回路 PD101、PD102・・・の位相差比較結果が、検出信号 SCN としてスキュー補償回路 7 へ入力される。クロックソースからスキュー補償回路 7 へ、クロック CK が入力される。スキュー補償回路 7 は、位相差検出回路 PD101、PD102・・・が出力する検出信号 SCN をシーケンシャルに取り込み、検出信号 SCN からドメインクロックバッファ 1a~1h のクロック遅延量を算出し、ドメインクロックバッファ 1a~1h のクロック遅延量を調整する調整信号 AJS をドメインクロックバッファ 1a~1h へ出力する。ドメインクロックバッファ 1a~1h は、入力された調整信号 AJS に従い、クロック遅延量を調整する。位相差検出回路 PD102・・・は、上述した位相差検出回路 PD101 と同様の構成をもち、同様に動作する。

【0016】

本発明の第 1 の実施の形態に係るクロック分配回路によれば、1 つの位相差検出回路で複数のクロック CK の位相差を検出するため、クロック分配回路が備える位相差検出回路の数が削減できる。その結果、 LSI チップの設計時のフロアプラン及び配置配線作業が容易になる。また、位相差検出回路を鎖状にスキュー補償回路へ接続する配線が短くなり、スキュー補償回路から位相差検出回路へイネーブル信号を供給する配線の数も少なくなるため、配線リソースへの負担も軽減される。その結果、 LSI チップ全体の面積の増加が防止され、 LSI の高集積化が図られる。ドメインの数が多くなり、多くの位相差検出

回路を設ける必要がある場合に、特に上述した効果がある。

【0017】

(大規模集積回路の構成)

図3に示すように、本発明の第1の実施の形態に係る大規模集積回路は、本発明の第1の実施の形態に係るクロック分配回路が配置されたドメインA～Pを備える。また、本発明の第1の実施の形態に係る大規模集積回路は、図示していないが、各ドメインにF/F及びF/Fへクロックを供給するドメインクロックバッファを備える。ドメインBには、図1に示すドメインクロックバッファ1bを備える。ドメインCには、図1に示すドメインクロックバッファ1cを備える。ドメインFには、図1に示すドメインクロックバッファ1fを備える。ドメインGには、図1に示すドメインクロックバッファ1gを備える。ドメインHには、図1に示すドメインクロックバッファ1hを備える。位相差検出回路PD101～115は、ドメインA～Pの頂点に配置されている。位相差検出回路PD101へは、ドメインB、F、Gに配置されるF/Fを接続するドメインクロックバッファ1b、1f、1gから、クロックCK-B、CK-F、CK-Gが入力される。同様に、位相差検出回路PD102へは、ドメインC、G、Hに配置されるF/Fを接続するドメインクロックバッファ1c、1g、1hから、クロックCK-C、CK-G、CK-Hが入力される。このように、位相差検出回路PD101～115へは、位相差検出回路と隣接するドメインに配置されたF/FへクロックCKを供給するドメインクロックバッファから、それぞれクロックCKが入力される。1つの位相差検出回路は、隣接する2～4つのドメインから最高3つのクロックCKを取り込むことができる。

【0018】

本発明の第1の実施の形態に係る大規模集積回路によれば、LSIに配置される位相差検出回路の数が削減できる。その結果、LSIチップの設計時のフロアプラン及び配置配線作業が容易になる。また、位相差検出回路を鎖状にスキュー補償回路へ接続する配線が短くなり、スキュー補償回路から位相差検出回路へイネーブル信号を供給する配線の数も少なくなるため、配線リソースへの負担も軽減される。その結果、LSIチップ全体の面積の増加が防止され、LSIの高集積化が図られる。ドメインの数が多くなり、多くの位相差検出回路を設ける必要がある場合に、特に上述した効果がある。

【0019】

具体的には、図9に示すように、従来技術に係る大規模集積回路では、ドメインのそれぞれの境界上に1つの位相差検出回路を設ける必要がある。一般に、LSIチップが $m \times m$ のドメインに分割されている場合、位相差検出回路の数 N は、式(1)となる。

【0020】

$$N = 2m(m-1) \quad (1)$$

図9において、LSIチップ5が 4×4 のドメインに分割されているため、位相差検出回路の数 $N1$ は、式(2)の通り24となる。

【0021】

$$N1 = 2 \times 4 \times (4-1) = 24 \quad (2)$$

また、図9に示す大規模集積回路において、位相差検出回路PD1～24のトランジスタ数は、それぞれ通常128である。よって、LSIチップ5全体における位相差検出回路のトランジスタ数は、式(3)の通り3072となる。

【0022】

$$128 \times 24 = 3072 \quad (3)$$

一方、図1に示す本発明の第1の実施の形態に係る位相差検出回路PD101のトランジスタ数は、マルチプレクサ15、F/F2、F/F3が備えられた結果、通常204である。そして、LSIチップが $m \times m$ のドメインに分割されている場合、位相差検出回路の数 N は、式(4)となる。

【0023】

$$N = m \times m - 1 \quad (4)$$

図3に示す本発明の第1の実施の形態に係る大規模集積回路において、LSIチップ5が

4×4のドメインに分割されているため、位相差検出回路の数N2は、式(5)の通り15となる。

【0024】

$$N2 = 4 \times 4 - 1 = 15 \quad (5)$$

よって、LSIチップ5全体における位相差検出回路のトランジスタ数は、式(6)の通り3060となる。

【0025】

$$204 \times 15 = 3060 \quad (6)$$

従って、LSIチップ5全体として、式(7)の通り、トランジスタ数を12削減できる。

【0026】

$$3072 - 3060 = 12 \quad (7)$$

トランジスタの削減数は、ドメインの数が多くなればなるほど、多くなる。本発明の第1の実施の形態に係る大規模集回路における位相差検出回路の数と、図9に示す大規模集積回路における位相差検出回路の数の比は、式(1)(4)から式(8)となる。

【0027】

$$(m^2 - 1) / 2m(m-1) = (m+1)(m-1) / 2m(m-1) = (m+1) / 2m \quad (8)$$

mが無限大になり、ドメインの数が無限大になると、位相差検出回路の数の比は、式(9)の通り、1/2となる。

【0028】

$$\lim_{m \rightarrow \infty} (m+1) / 2m = \lim_{m \rightarrow \infty} (1 + 1/m) / 2 = 1/2 \quad (9)$$

従って、LSIチップ全体における位相差検出回路のトランジスタ数の比は、式(10)の通り、約80%となり約20%のトランジスタ数が削減される。

【0029】

$$1/2 \times 204 / 128 \approx 0.797 \quad (10)$$

(第2の実施の形態)

(位相差検出回路の構成)

図4に示すように、本発明の第2の実施の形態に係る位相差検出回路PD201は、マルチプレクサ21、マルチプレクサ22位相差比較回路11、マルチプレクサ12、F/F1、F/F2、F/F3、F/F5、F/F6、F/F7、ANDゲート13、バッファ14を備える。ドメインクロックバッファ1b、ドメインクロックバッファ1c、ドメインクロックバッファ1gからマルチプレクサ21へ、クロックCK-B、CK-C及びCK-Gが入力される。ドメインクロックバッファ1b、ドメインクロックバッファ1fからマルチプレクサ22へ、クロックCK-B、CK-Fが入力される。マルチプレクサ21は、F/F3が出力するクロックCK2及びF/F7が出力するクロックCK-4の2ビットの選択信号SLCに従い、選択信号SLCが0及び2のときは、クロックCK-Gを選択し、選択信号SLCが1のときは、CK-Cを選択し、選択信号SLCが3のときは、CK-Bを選択する。マルチプレクサ21は、選択した信号を位相差比較回路11へ出力する。マルチプレクサ22は、選択信号SLCに従い、選択信号SLCが0のときは、クロックCK-Bを選択し、選択信号SLCが1、2、3のときは、CK-Fを選択する。マルチプレクサ22は、選択した信号を位相差比較回路11へ出力する。位相差比較回路11、マルチプレクサ12、F/F1、F/F2、F/F3、ANDゲート13、バッファ14は、本発明の第1の実施の形態に係る位相差比較回路11、マルチプレクサ12、F/F1、F/F2、F/F3、ANDゲート13、バッファ14と同様に動作する。

【0030】

F/F7は、スキュー補償回路7から入力されたイネーブル信号ENBが1のときに、F/F3から入力されたクロックCK2の周波数を1/2に分周する。F/F7は、分周

されたクロック CK4 をマルチプレクサ 21、マルチプレクサ 22 へ、出力する。F/F5 及び F/F6 は、入力された検出信号 SCN を保持し、配線 16 を介してスキュー補償回路 7 へ、検出信号 SCN を出力する。

【0031】

次に、図 5 (a) ~ (h) のタイミングチャートにより、位相差検出回路 PD201 の動作を示す。図 5 (a) に示すように、ドメインクロックバッファ 1f からマルチプレクサ 22 へ、クロック CK-F が入力される。図 5 (b) に示すように、ドメインクロックバッファ 1b からマルチプレクサ 21 及びマルチプレクサ 22 へ、CK-B が入力される。このとき、クロック CK-F とクロック CK-B の間には、スキュー F-B がある。図 5 (c) に示すように、ドメインクロックバッファ 1g からマルチプレクサ 21 へ、CK-G が入力される。このとき、クロック CK-F とクロック CK-G の間には、スキュー F-G があり、クロック CK-B とクロック CK-G の間には、スキュー B-G がある。図 5 (d) に示すように、ドメインクロックバッファ 1c からマルチプレクサ 21 へ、CK-C が入力される。このとき、クロック CK-F とクロック CK-C の間には、スキュー F-C がある。マルチプレクサ 21 は、クロック CK-B、CK-C 及びクロック CK-G のうち選択したクロックを位相差比較回路 11 へ出力する。マルチプレクサ 22 は、クロック CK-B 及びクロック CK-F のうち選択したクロックを位相差比較回路 11 へ出力する。位相差比較回路 11 は、スキュー B-G、スキュー C-F、スキュー F-G 及びスキュー B-F を、検出信号 SCN としてマルチプレクサ 12 へ出力する。図 5 (h) に示すように、スキュー補償回路 7 からマルチプレクサ 12、F/F3 及び F/F7 へ、イネーブル信号 ENB が入力される。マルチプレクサ 12 は、イネーブル信号 ENB が 1 のとき (区間 T1) は、位相差比較回路 11 の検出信号 SCN を導通し、イネーブル信号 ENB が 0 (区間 T2) のときは、他の位相差検出回路により出力された検出信号 SCN を導通する。図 5 (e) に示すように、AND ゲート 13 は、マルチプレクサ 21 により選択されたクロック CK-B、CK-C 及びクロック CK-G の何れかと、マルチプレクサ 22 により選択されたクロック CK-B 及び CK-F の何れかが共に 1 の場合に、F/F3、バッファ 14 へクロック CK1 を出力する。図 5 (f) に示すように、F/F3 は、図 5 (h) に示すイネーブル信号 ENB が 1 のとき (区間 T1) に、AND ゲートから入力されたクロック CK1 の周波数を 1/2 に分周する。即ち、クロック CK1 が立ち上がる時刻 t1 のときに、クロック CK2 が立ち上がり、クロック CK1 が次に立ち上がる時刻 t3 のときに、クロック CK2 が立ち下がる。イネーブル信号 ENB が 0 のとき (区間 T2) には、クロック CK2 は 0 となる。F/F3 は、分周されたクロック CK2 をマルチプレクサ 21、マルチプレクサ 22 へ、出力する。図 5 (g) に示すように、F/F7 は、図 5 (h) に示すイネーブル信号 ENB が 1 のとき (区間 T1) に、F/F3 から入力されたクロック CK2 の周波数を 1/2 に分周する。即ち、クロック CK2 が立ち上がる時刻 t1 のときに、クロック CK4 が立ち上がり、クロック CK2 が次に立ち上がる時刻 t5 のときに、クロック CK4 が立ち下がる。イネーブル信号 ENB が 0 のとき (区間 T2) には、クロック CK4 は 0 となる。F/F7 は、分周されたクロック CK4 をマルチプレクサ 21、マルチプレクサ 22 へ、出力する。マルチプレクサ 21 は、クロック CK2 が 1 且つクロック CK4 が 1 のとき (時刻 t1 ~ t3) は、クロック CK-B を選択し、クロック CK2 が 0 且つクロック CK4 が 1 のとき (時刻 t3 ~ t5) は、クロック CK-G を選択し、クロック CK2 が 1 且つクロック CK4 が 0 のとき (時刻 t5 ~ t7) は、クロック CK-C を選択し、クロック CK2 が 0 且つクロック CK4 が 0 のとき (時刻 t7 ~ t8) は、CK-G を選択する。マルチプレクサ 22 は、クロック CK2 が 1 且つクロック CK4 が 1 のとき (時刻 t1 ~ t3)、クロック CK2 が 0 且つクロック CK4 が 1 のとき (時刻 t3 ~ t5)、及びクロック CK2 が 1 且つクロック CK4 が 0 のとき (時刻 t5 ~ t7) は、クロック CK-F を選択し、クロック CK2 が 0 且つクロック CK4 が 0 のとき (時刻 t7 ~ t8) は、CK-B を選択する。

【0032】

F/F5、F/F6 は、F/F1、F/F2 と同様に動作する。F/F5 は、F/F2

から検出信号 S C N を取り込み、F / F 6 へ出力する。F / F 6 は、F / F 5 から検出信号 S C N を取り込み、スキュー補償回路 7 へ出力する。

【0033】

本発明の第2の実施の形態に係るクロック位相差検出回路によれば、1つの位相差検出回路で複数のクロック C K の位相差を検出するため、L S I に配置される位相差検出回路の数が削減できる。その結果、L S I チップの設計時のフロアプラン及び配置配線作業が容易になる。また、位相差検出回路を鎖状にスキュー補償回路へ接続する配線が短くなり、スキュー補償回路から位相差検出回路へイネーブル信号を供給する配線の数も少なくなるため、配線リソースへの負担も軽減される。その結果、L S I チップ全体の面積の増加が防止され、L S I の高集積化が図られる。更に、対角方向に隣接するドメイン間のスキューを検出することにより、スキュー低減の精度が更に増す。ドメインの数が多くなり、多くの位相差検出回路を設ける必要がある場合に、特に上述した効果がある。

【0034】

(クロック分配回路の構成)

図4に示すように、本発明の第2の実施の形態に係るクロック分配回路は、ドメインクロックバッファ 1 a ~ 1 h、位相差検出回路 P D 2 0 1、P D 2 0 2、スキュー補償回路 7、及びクロックソースを備える。ドメインクロックバッファ 1 b、1 c、1 f、1 g から位相差検出回路 P D 2 0 1 へ、クロック C K - B、C K - C、C K - F、C K - G が入力される。同様に、ドメインクロックバッファ 1 a ~ 1 h から位相差検出回路 P D 2 0 2 へ、クロック C K が入力される。スキュー補償回路 7 から位相差検出回路 P D 2 0 1 へ、イネーブル信号 E N B が入力される。図を省略しているが、同様にスキュー補償回路 7 から位相差検出回路 P D 2 0 2 へ、イネーブル信号 E N B が入力される。位相差検出回路 P D 2 0 1 と P D 2 0 2 は、配線 1 7 で接続されている。位相差検出回路 P D 2 0 1 は、スキュー補償回路 7 へ配線 1 6 で接続されている。このように、位相差検出回路 P D 2 0 1、P D 2 0 2 は、鎖状にスキュー補償回路 7 へ接続されている。位相差検出回路 P D 2 0 1、P D 2 0 2 の位相差比較結果が、検出信号 S C N としてスキュー補償回路 7 へ入力される。クロックソースからスキュー補償回路 7 へ、クロック C K が入力される。スキュー補償回路 7 は、位相差検出回路 P D 2 0 1、P D 2 0 2 が出力する検出信号 S C N をシーケンシャルに取り込み、検出信号 S C N からドメインクロックバッファ 1 a ~ 1 h のクロック遅延量を算出し、ドメインクロックバッファ 1 a ~ 1 h のクロック遅延量を調整する調整信号 A J S をドメインクロックバッファ 1 a ~ 1 h へ出力する。ドメインクロックバッファ 1 a ~ 1 h は、入力された調整信号 A J S に従い、クロック遅延量を調整する。位相差検出回路 P D 2 0 2 は、上述した位相差検出回路 P D 2 0 1 と同様の構成をもち、同様に動作する。

【0035】

本発明の第2の実施の形態に係るクロック分配回路によれば、1つの位相差検出回路で複数のクロック C K の位相差を検出するため、クロック分配回路が備える位相差検出回路の数が削減できる。その結果、L S I チップの設計時のフロアプラン及び配置配線作業が容易になる。また、位相差検出回路を鎖状にスキュー補償回路へ接続する配線が短くなり、スキュー補償回路から位相差検出回路へイネーブル信号を供給する配線の数も少なくなるため、配線リソースへの負担も軽減される。その結果、L S I チップ全体の面積の増加が防止され、L S I の高集積化が図られる。更に、対角方向に隣接するドメイン間のスキューを検出することにより、スキュー低減の精度が更に増す。ドメインの数が多くなり、多くの位相差検出回路を設ける必要がある場合に、特に上述した効果がある。

【0036】

(大規模集積回路の構成)

図6に示すように、本発明の第2の実施の形態に係る大規模集積回路は、図示していない F / F 及び本発明の第2の実施の形態に係るクロック分配回路が配置されたドメイン A ~ P を備える。位相差検出回路 P D 2 0 1 ~ 2 1 5 は、ドメイン A ~ P の頂点に配置され

ている。上述したように、位相差検出回路PD201へは、ドメインB, C, F, Gに配置されるF/Fを接続するドメインクロックバッファ1b, 1c, 1f, 1gから、クロックCK-B, CK-C, CK-F, CK-Gが入力される。同様に、位相差検出回路PD202~215へは、ドメインA~Pに配置されたドメインクロックバッファからクロックCKが入力される。1つの位相差検出回路は、隣接する2~4つのドメインから最高4つのクロックCKを取り込むことができる。

【0037】

本発明の第2の実施の形態に係る大規模集積回路によれば、LSIに配置される位相差検出回路の数が削減できる。その結果、LSIチップの設計時のフロアプラン及び配置配線作業が容易になる。また、位相差検出回路を鎖状にスキュー補償回路へ接続する配線が短くなり、スキュー補償回路から位相差検出回路へイネーブル信号を供給する配線の数も少なくなるため、配線リソースへの負担も軽減される。その結果、LSIチップ全体の面積の増加が防止され、LSIの高集積化が図られる。更に、対角方向に隣接するドメイン間のスキューを検出することにより、スキュー低減の精度が更に増す。ドメインの数が多くなり、多くの位相差検出回路を設ける必要がある場合に、特に上述した効果がある。

【0038】

具体的には、図10に示す基本技術のように、対角方向に隣接するドメイン間のスキューを検出するためには、ドメインのそれぞれの境界上に1つの位相差検出回路を設け、更にドメインの頂点に2つの位相差検出回路を設ける必要がある。

【0039】

一般に、LSIチップが $m \times m$ のドメインに分割されている場合、対角方向に隣接するドメイン間のスキューを検出する位相差検出回路の数を考慮すると、位相差検出回路の数Nは、式(11)となる。

【0040】

$$N = 2(m-1)(2m-1) \quad (11)$$

図10に示す大規模集積回路において、LSIチップ5が 4×4 のドメインに分割されているため、位相差検出回路の数N3は、式(12)の通り42となる。

【0041】

$$N3 = 2 \times (4-1) \times (2 \times 4 - 1) = 42 \quad (12)$$

また、図10に示す大規模集積回路における位相差検出回路PD1~42のトランジスタ数は、それぞれ通常128である。よって、LSIチップ5全体における位相差検出回路のトランジスタ数は、式(13)の通り5376となる。

【0042】

$$128 \times 42 = 5376 \quad (13)$$

一方、図4に示す本発明の第2の実施の形態に係る位相差検出回路PD201のトランジスタ数は、マルチプレクサ21、マルチプレクサ22、F/F2、F/F3、F/F5、F/F6、F/F7が備えられた結果、通常332である。そして、LSIチップが $m \times m$ のドメインに分割されている場合、位相差検出回路の数Nは、式(14)となる。

【0043】

$$N = m \times m - 1 \quad (14)$$

図6に示す本発明の第2の実施の形態に係る大規模集積回路において、LSIチップ5が 4×4 のドメインに分割されているため、位相差検出回路の数N4は、式(15)の通り15となる。

【0044】

$$N4 = 4 \times 4 - 1 = 15 \quad (15)$$

よって、LSIチップ5全体における位相差検出回路のトランジスタ数は、式(16)の通り4980となる。

【0045】

$$332 \times 15 = 4980 \quad (16)$$

従って、LSIチップ5全体として、式(17)の通り、トランジスタ数を396削減で

きる。

【0046】

$$5376 - 4980 = 396 \quad (17)$$

トランジスタの削減数は、ドメインの数が多くなればなるほど、多くなる。本発明の第2の実施の形態に係る大規模集積回路における位相差検出回路の数と、図10に示す大規模集積回路における位相差検出回路の数の比は、式(11)(14)から式(18)となる。

【0047】

$$(m^2 - 1) / 2(m - 1)(2m - 1) = (m + 1)(m - 1) / 2(m - 1)(2m - 1) = (m + 1) / 2(2m - 1) \quad (8)$$

mが無限大になり、ドメインの数が無限大になると、位相差検出回路の数の比は、式(19)の通り、1/4となる。

【0048】

$$\lim_{m \rightarrow \infty} : (m + 1) / 2(2m - 1) = \lim_{m \rightarrow \infty} : (1 + 1/m) / 2(2 - 1/m) = 1/4 \quad (19)$$

従って、LSIチップ全体における位相差検出回路のトランジスタ数の比は、式(20)の通り、約65%となり約35%のトランジスタ数が削減される。

【0049】

$$1/4 \times 332 / 128 \div 0.648 \quad (10)$$

(その他の実施の形態)

図7に示すように、本発明のその他の実施の形態に係る位相差検出回路、クロック分配回路、及び大規模集積回路は、図1に示す位相差検出回路と基本的に同一であるが、F/F1、F/F2の代わりにF/F4を備える。F/F4は、マスターラッチ18、スレーブラッチ19、マルチプレクサ20を備えるダブルエッジトリガー型のフリップフロップである。マスターラッチ18、スレーブラッチ19は、並列接続され、マルチプレクサ12により選択された検出信号SCNが入力される。マスターラッチ18、スレーブラッチ19、マルチプレクサ20には、F/F3からクロックCK2が入力される。マスターラッチ18は、入力されるクロックCK2が0の場合に、検出信号SCNを取り込み、マルチプレクサ20へ出力する。スレーブラッチ19は、入力されるクロックCK2が1の場合に、検出信号SCNを取り込み、マルチプレクサ20へ出力する。マルチプレクサ20は、入力されるクロックCK2が1の場合に、マスターラッチ18により入力された検出信号SCNをスキュー補償回路7へ出力する。マルチプレクサ20は、入力されるクロックCK2が0の場合に、スレーブラッチ19により入力された検出信号SCNをスキュー補償回路7へ出力する。このように構成されたダブルエッジトリガー型のF/F4をクロックCK1の1/2の周波数のクロックCK2で駆動することで、クロックCK1で駆動されるF/F1、F/F2の2つのフリップフロップと等価な動作を実現しつつ、マスターラッチ及びスレーブラッチの個数を1/2に減らすことができ、マルチプレクサ20を加えても、更に位相差検出回路PD101のトランジスタ数を削減できる。図7における位相差検出回路PD101のトランジスタ数は、通常190である。

【0050】

本発明の第1及び第2の実施の形態に係る位相差検出回路、クロック分配回路、及び大規模集積回路において、位相差検出回路PD101~115、PD201~215は、ドメインA~Pの頂点に配置されている。しかし、位相差検出回路が配置される位置は、クロックCKが位相差検出回路へ入力されるまでの遅延時間が、ほぼ等しければよい。例えば、図3において、位相差検出回路PD101は、クロックバッファ1b、1f、1gから入力されるクロックCK-B、CK-F、CK-Gが位相差検出回路PD101へ入力されるまでの遅延時間がほぼ等しい位置に、配置されればよい。例えば、図6において、位相差検出回路PD201は、クロックバッファ1b、1c、1f、1gから入力されるクロックCK-B、CK-C、CK-F、CK-Gが位相差検出回路PD201へ入力されるまでの遅延時間がほぼ等しい位置に、配置されればよい。

【0051】

本発明の第1及び第2の実施の形態に係るクロック分配回路、及び大規模集積回路において、ドメインクロックバッファ1a～1hは、入力された調整信号AJSに従い、クロック遅延量を調整する。クロック遅延量は、調整した後に固定されてもよい。また、クロック調整量は、固定されずに随時調整されてもよい。

【図面の簡単な説明】

【0052】

【図1】本発明の第1の実施の形態に係る位相差検出回路及びクロック分配回路の一例を示した図である。

【図2】本発明の第1の実施の形態に係る位相差検出回路の動作の一例を示したタイミングチャートである。

【図3】本発明の第1の実施の形態に係る大規模集積回路の一例を示した図である。

【図4】本発明の第2の実施の形態に係る位相差検出回路及びクロック分配回路の一例を示した図である。

【図5】本発明の第2の実施の形態に係る位相差検出回路の動作の一例を示したタイミングチャートである。

【図6】本発明の第2の実施の形態に係る大規模集積回路の一例を示した図である。

【図7】本発明のその他の実施の形態に係る位相差検出回路及びクロック分配回路の一例を示した図である。

【図8】従来技術におけるクロックバッファツリーの一例を示した図である。

【図9】従来技術における大規模集積回路の一例を示した図である。

【図10】基本技術に係る大規模集積回路の一例を示した図である。

【符号の説明】

【0053】

AJS 調整信号

A～P ドメイン

ENB イネーブル信号

F/F1～7 フリップフロップ

M マスターラッチ

S スレーブラッチ

SCN 検出信号

SLC 選択信号

1a～1h ドメインクロックバッファ

2a, 2b, 2c, 2d, 3a, 3b, 4a クロックバッファ

5 LSIチップ

7 スキュー補償回路

13 ANDゲート

14 バッファ

8, 9, 10, 16, 17 配線

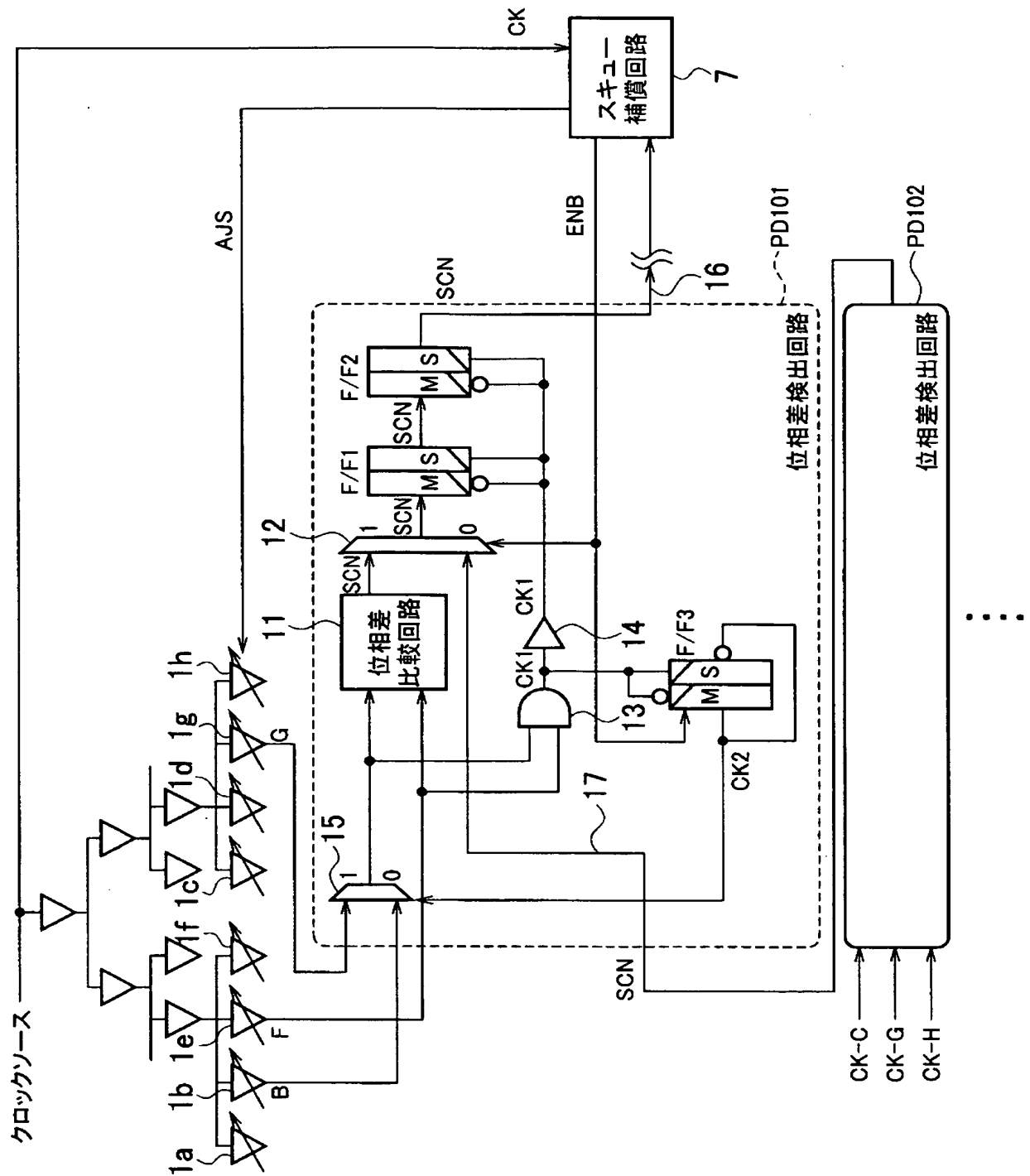
18 マスターラッチ

19 スレーブラッチ

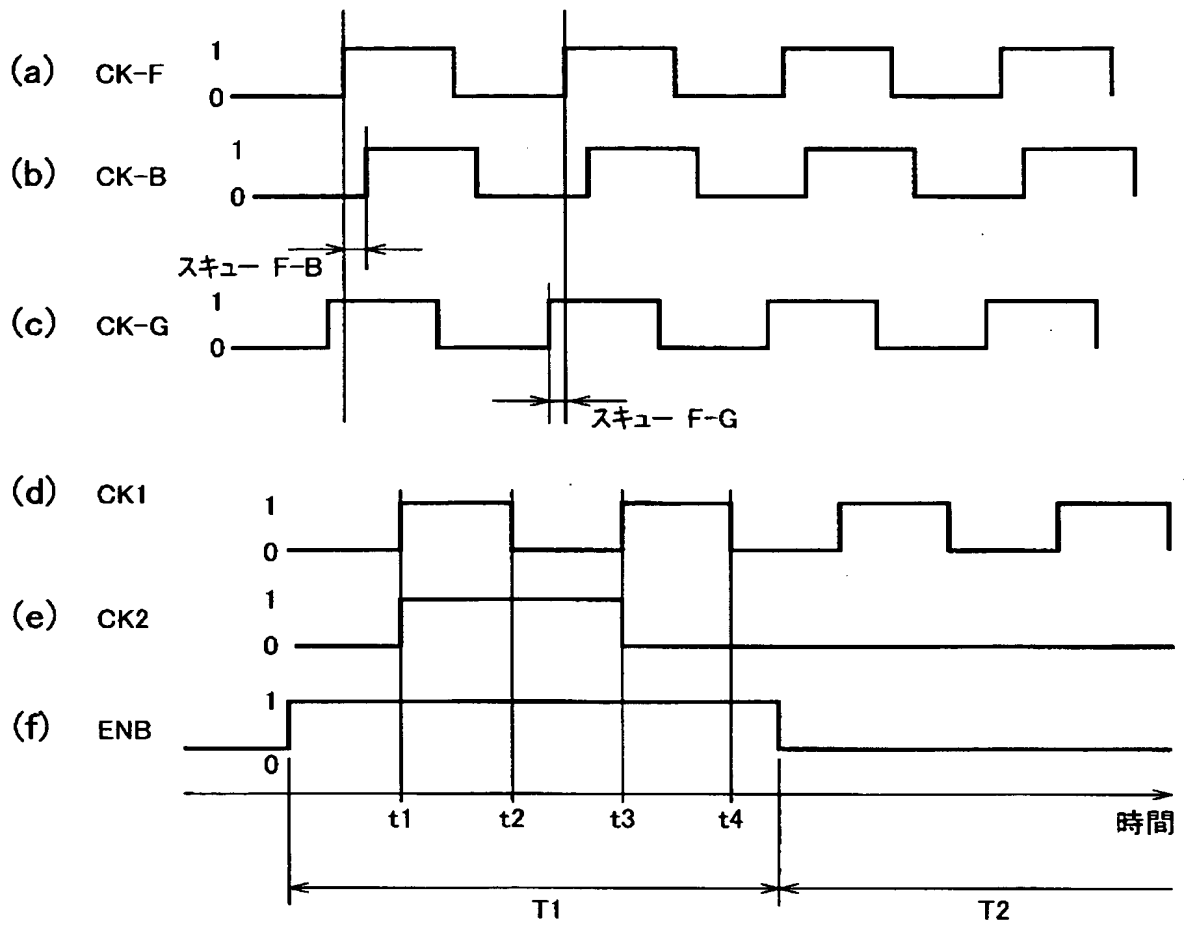
12, 15, 20, 21, 22 マルチプレクサ

PD1～42, PD101～115, PD201～215 位相差検出回路

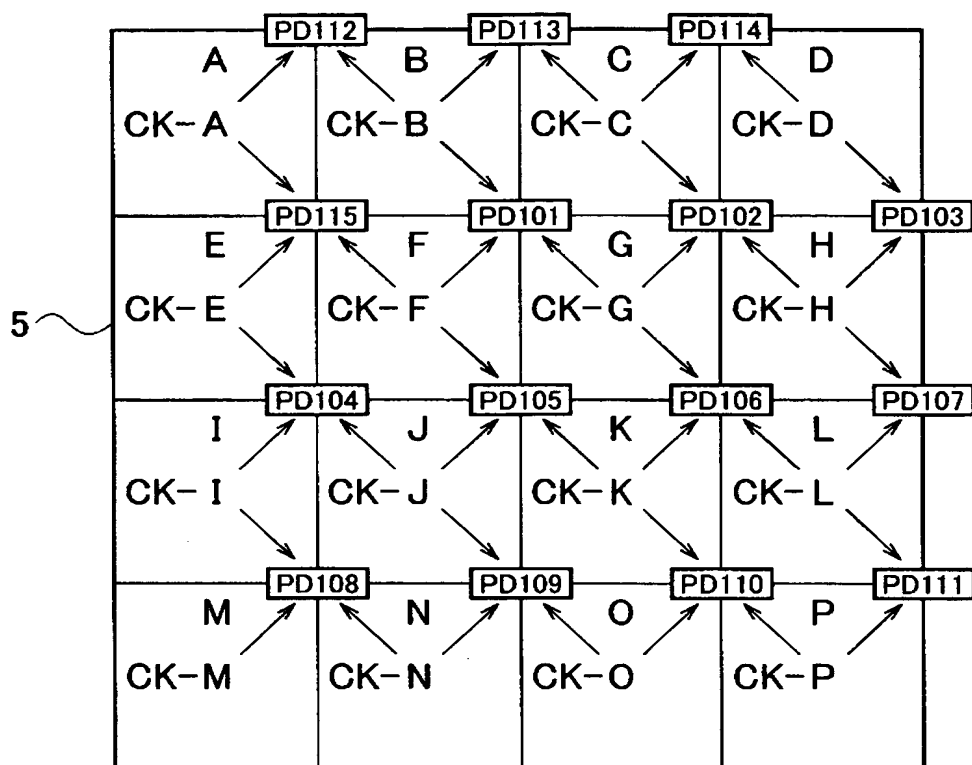
【書類名】 図面
【図 1】



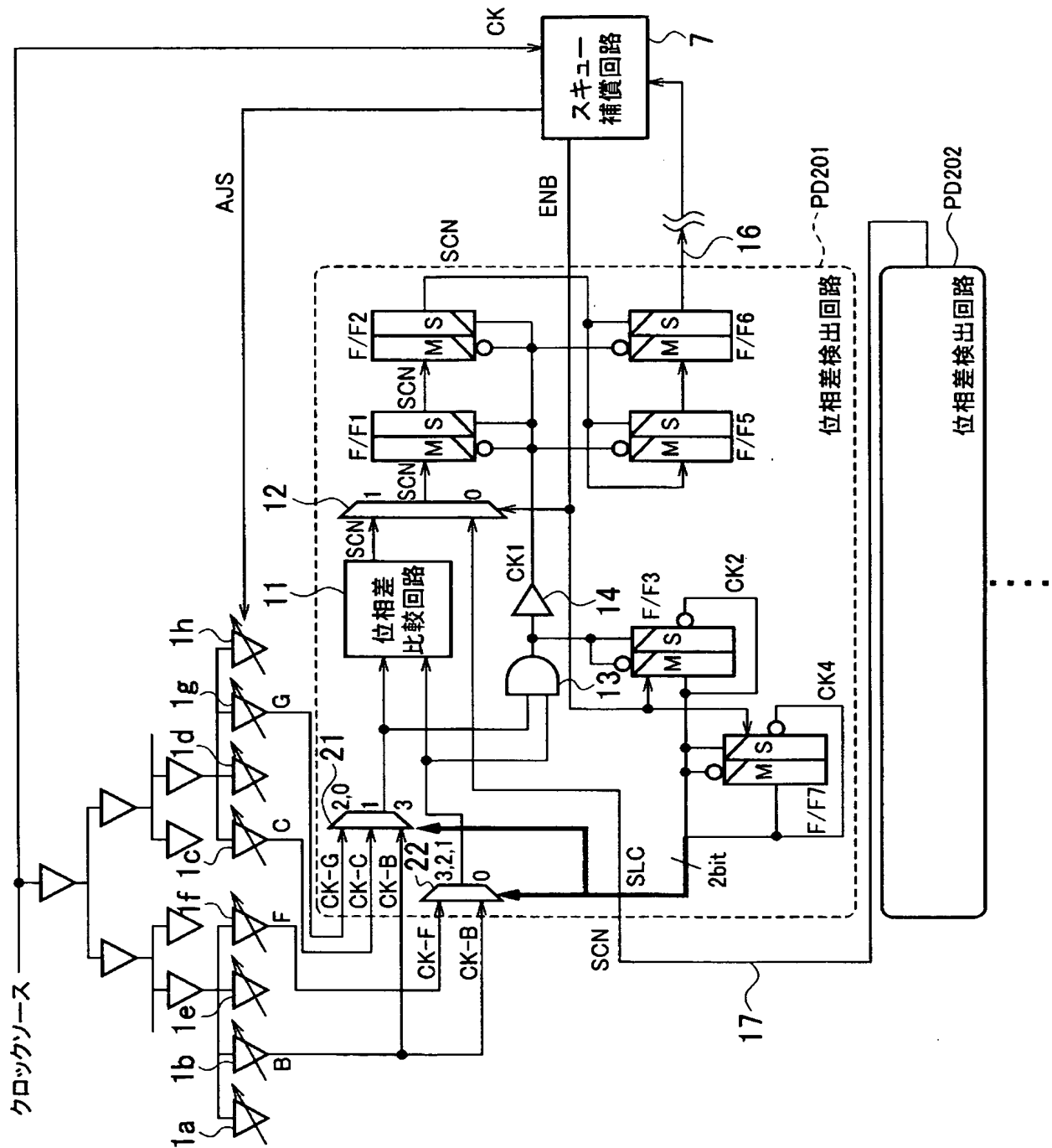
【図 2】



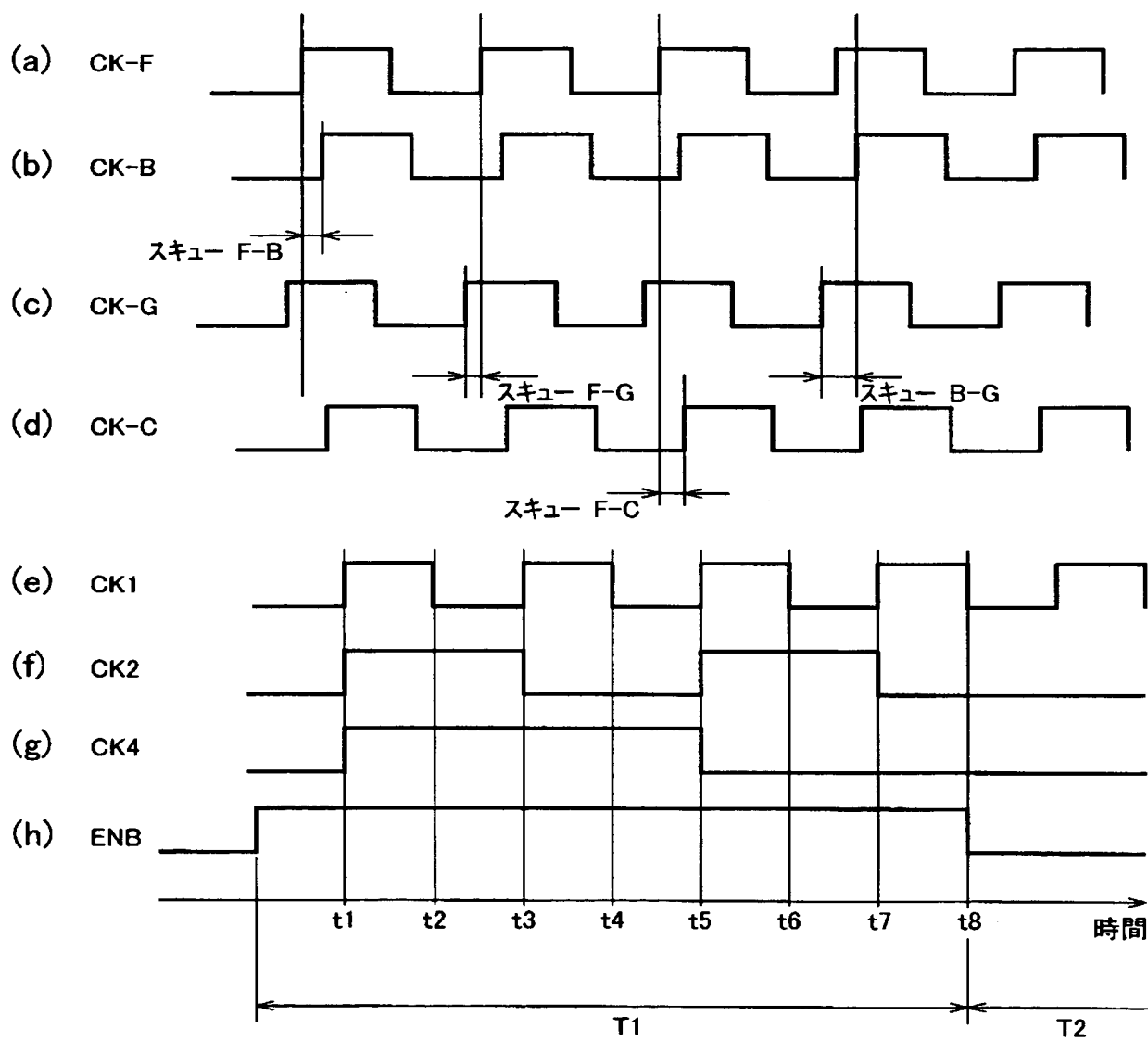
【図 3】



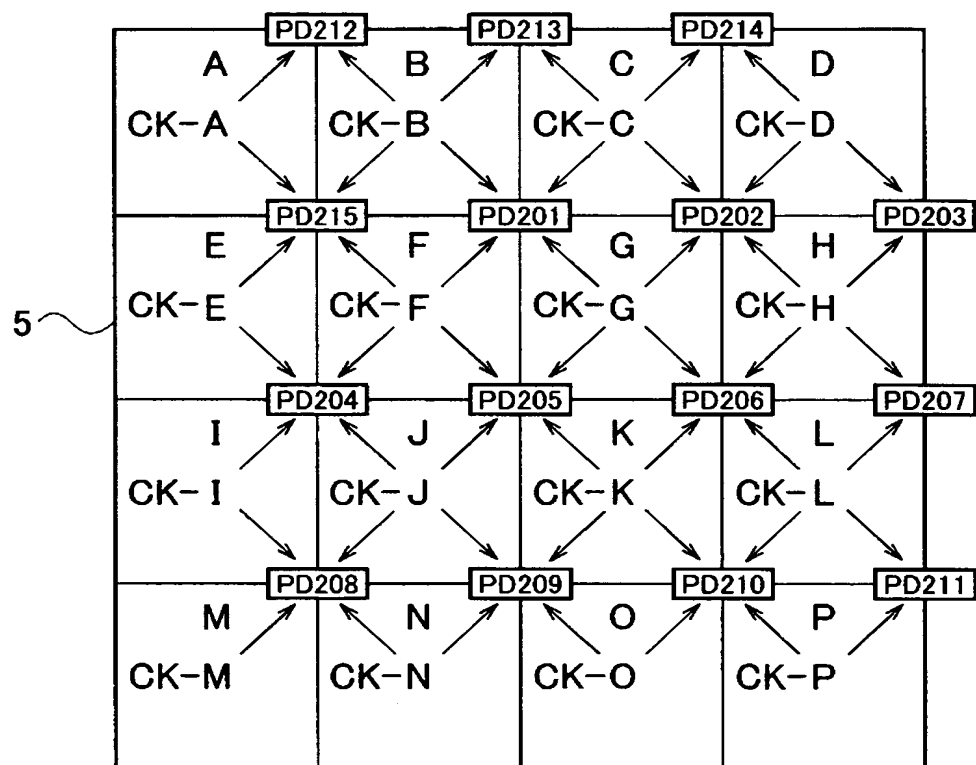
【図 4】



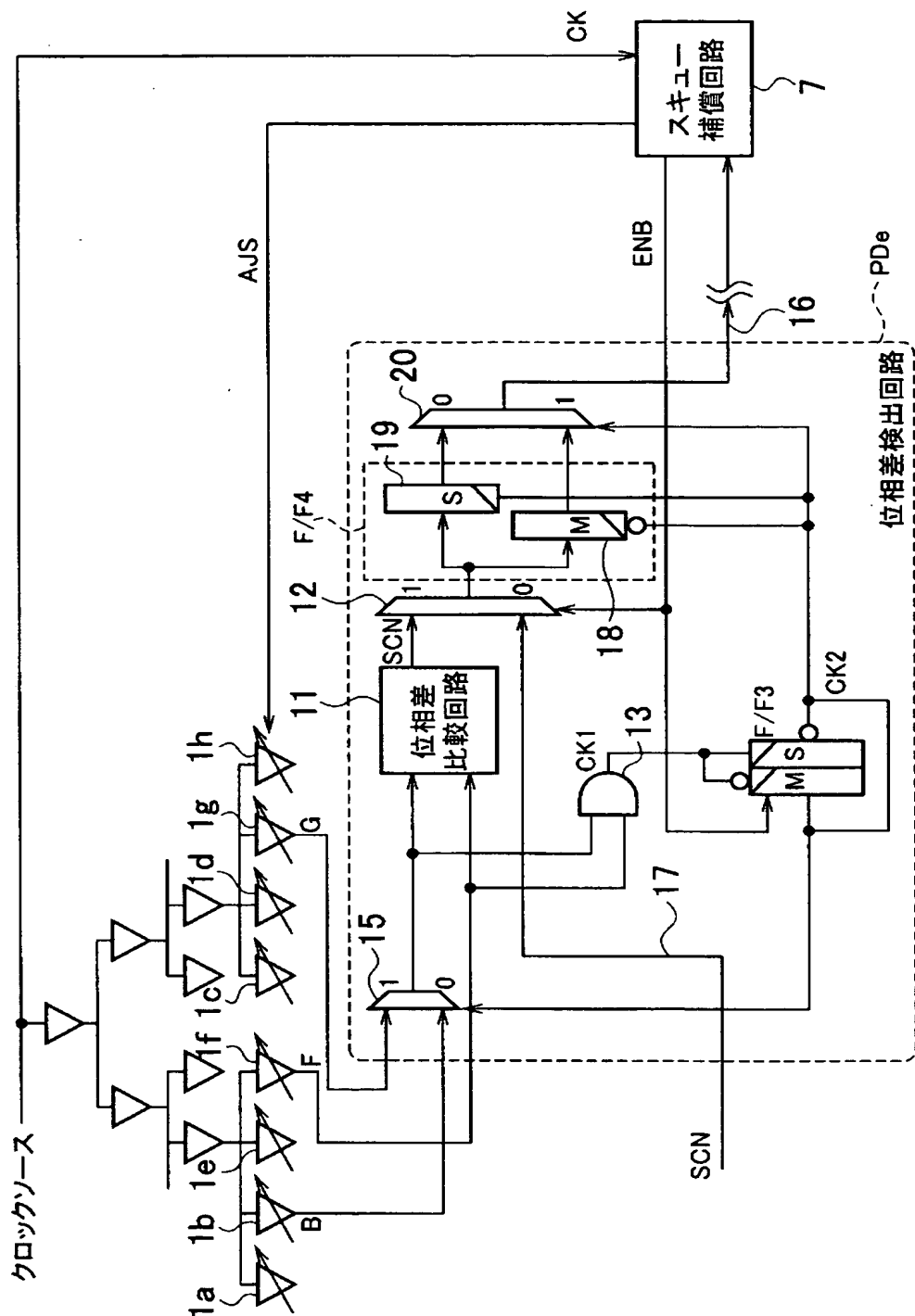
【図 5】



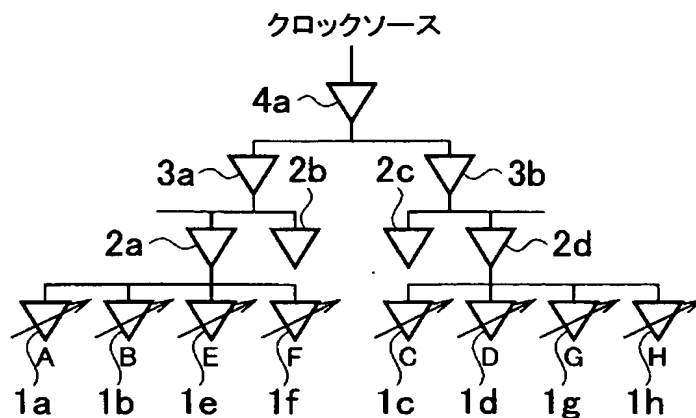
【図 6】



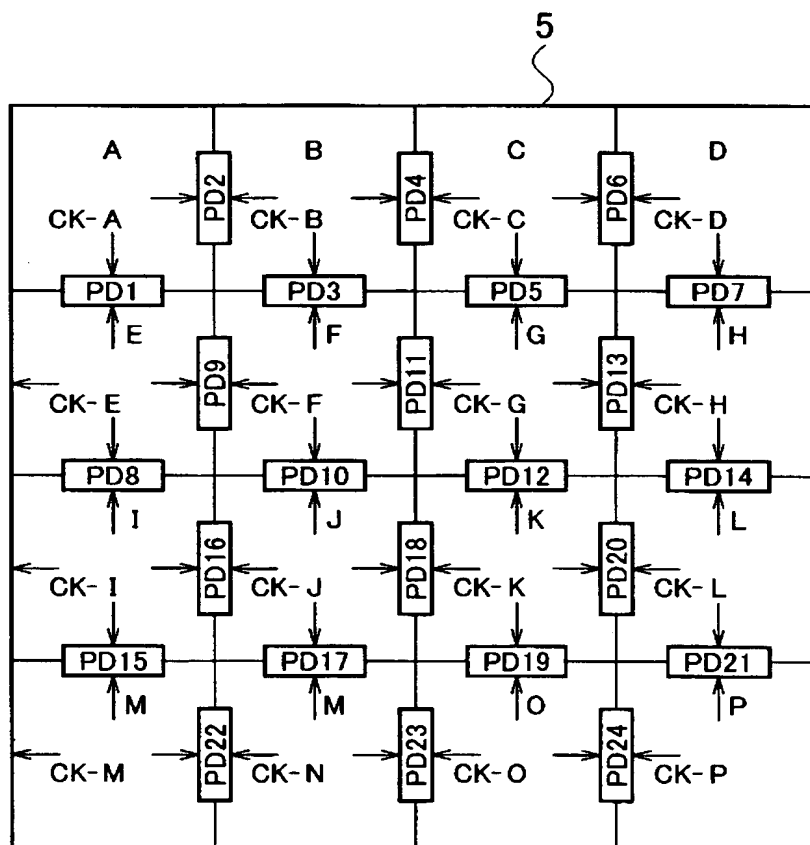
【図 7】



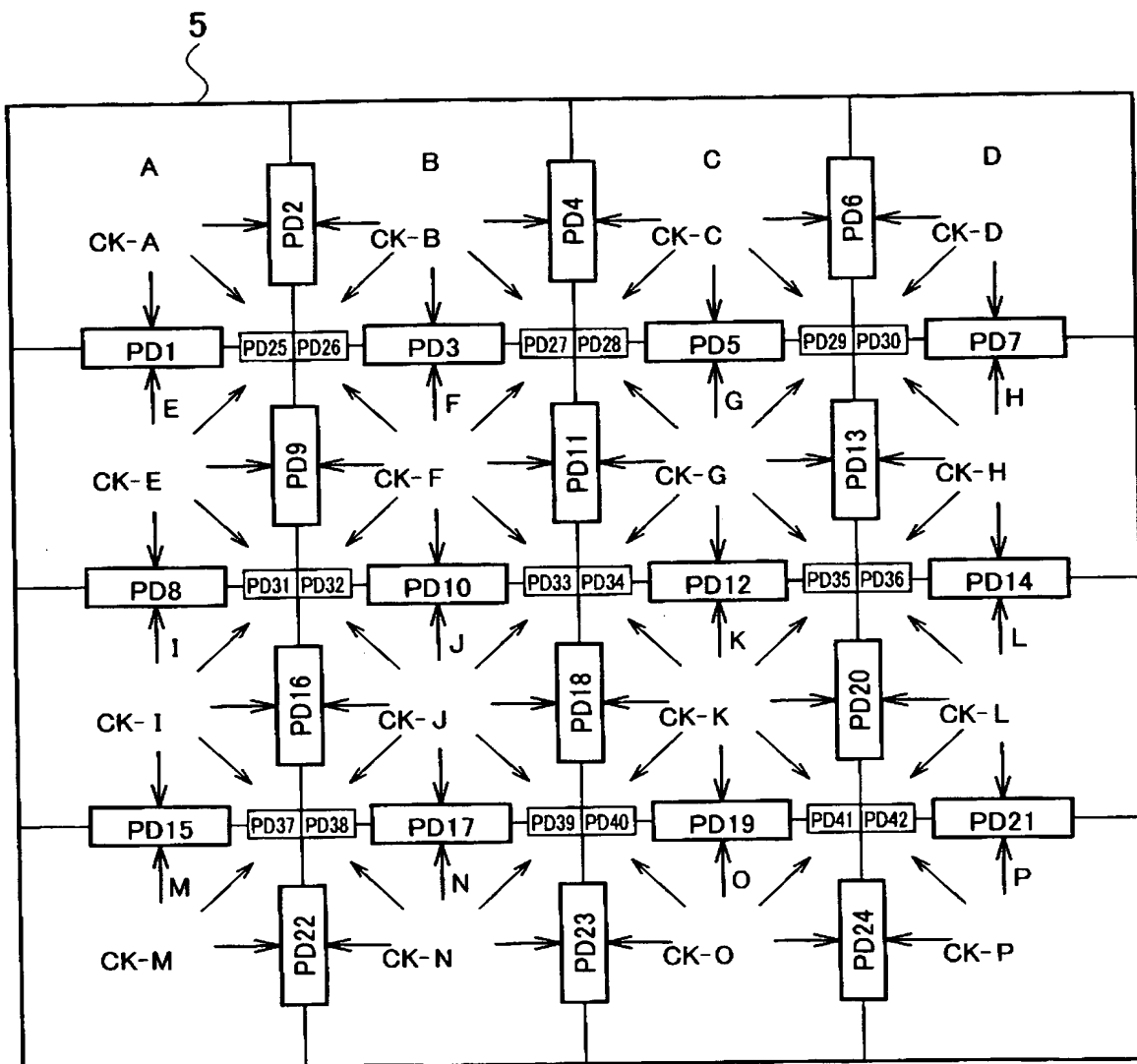
【図 8】



【図 9】



【図 10】



【書類名】 要約書**【要約】**

【課題】 位相差検出回路の数及び位相差検出回路を接続する配線の数減少させることにより、フロアプラン及び配置配線作業を容易にし、位相差検出回路及びその周辺に導入されるデッドゾーンを減少させるクロック位相差検出回路、クロック分配回路、及び大規模集積回路を提供する。

【解決手段】 複数のクロックが入力され、複数のクロックのうち何れかを順次選択し、選択されたクロックを第1クロックとして出力する第1選択回路15と、第1クロックと、第1クロックと異なる第2クロックが入力され、第1クロックと第2クロックの位相差を検出し、位相差を検出信号として出力する位相差比較回路11とを含む。

【選択図】 図1

特願 2 0 0 3 - 3 8 0 3 1 7

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝